



**LOW CAPACITY FIELD EFFECT TRANSISTOR**

**Patent number:** JP58078466  
**Publication date:** 1983-05-12  
**Inventor:** MAJIYUKAARU BII BORA  
**Applicant:** FAIRCHILD CAMERA INSTR CO  
**Classification:**  
- international: **H01L21/20; H01L21/316; H01L21/336; H01L29/04; H01L29/06; H01L21/02; H01L29/02; (IPC1-7): H01L29/78**  
- european: **H01L21/20C; H01L21/316C2B2; H01L21/336H20; H01L29/04; H01L29/06B3C2**  
**Application number:** JP19820182233 19821019  
**Priority number(s):** US19810313003 19811019

Also published as:

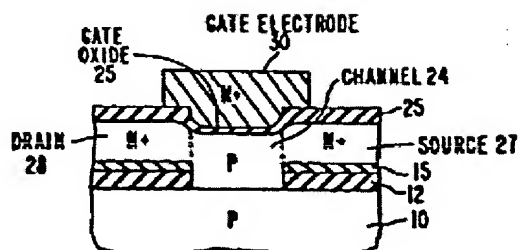
 EP0077737 (A2)  
 EP0077737 (A3)

Report a data error here

Abstract not available for JP58078466

Abstract of corresponding document: **EP0077737**

A compact field effect transistor having extremely low source/drain to substrate capacitance is disclosed, together with a method of fabricating it. The source 27 and drain 25 regions of the FET are fabricated on an underlying layer of insulating material 12, typically silicon dioxide, while the gate region including a channel 24, is fabricated directly on the semiconductor substrate 10. The source/drain 27/25 and gate 24 regions are all simultaneously formed by deposition of a single layer of epitaxial silicon 21. In this manner a monocrystalline silicon gate region 24 is created with polycrystalline silicon source/drain regions 27/25. The different rate of growth of silicon dioxide over monocrystalline 24 and polycrystalline silicon 27/25 is utilized to create the gate oxide, while an overlying layer of doped polycrystalline silicon 30 serves as the gate electrode. The source/drain regions are typically doped by an impurity diffused from a layer of phosphorous glass deposited between the insulating material and the source/drain regions.

**FIG. 5**Data supplied from the **esp@cenet** database - Worldwide

**THIS PAGE BLANK (USPTO)**

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—78466

⑨ Int. Cl.<sup>3</sup>  
H 01 L 29/78

識別記号

庁内整理番号  
7377—5F

⑭ 公開 昭和58年(1983)5月12日

発明の数 3  
審査請求 未請求

(全 7 頁)

⑮ 低容量電界効果型トランジスタ

⑯ 特 願 昭57—182233

⑰ 出 願 昭57(1982)10月19日

優先権主張 ⑱ 1981年10月19日 ⑲ 米国(US)  
⑳ 313003

㉑ 発 明 者 マジユカール・ビー・ボラ  
アメリカ合衆国カリフォルニア  
95030 ロス・ガトス・ランスベ

リー・コート110

㉒ 出 願 人 フエアチアイルド・カメラ・ア  
ンド・インストルメント・コー  
ポレーション  
アメリカ合衆国カリフォルニア  
94042 マウンテン・ビュー・エ  
リス・ストリート464

㉓ 代 理 人 弁理士 小橋一男 外1名

明 細 書

1. 発明の名称

低容量電界効果型トランジスタ

2. 特許請求の範囲

1. 集積回路トランジスタに於いて、半導体基板を有しており、前記基板上に設けられた絶縁物質からなる第1絶縁領域及び第2絶縁領域を有しており、前記第1絶縁領域及び第2絶縁領域は前記基板の中間領域によって分離されており、前記第1絶縁領域及び第2絶縁領域と前記基板の中間領域との上に設けた半導体物質層を有しており、前記半導体物質層の表面に設けた絶縁物質層を有しており、前記絶縁物質層上で少なくとも前記基板からなる中間領域の上方に位置した部分の上に設けた電極を有することを特徴とするトランジスタ。

2. 上記第1項に於いて、前記第1絶縁領域と第2絶縁領域との各々が基板の酸化物を有することを特徴とするトランジスタ。

3. 上記第1項又は第2項に於いて、前記絶

縁物質層が前記基板の酸化物を有することを特徴とするトランジスタ。

4. 上記第1項乃至第3項の内の何れか1項に於いて、前記基板がシリコンを有することを特徴とするトランジスタ。

5. 上記第1項乃至第4項の内の何れか1項に於いて、前記電極が電気的に導電性のポリシリコンを有することを特徴とするトランジスタ。

6. 上記第1項乃至第5項の内の何れか1項に於いて、前記絶縁物質層が前記基板からなる中間領域の上方に設ける部分の厚さよりも前記第1絶縁領域及び第2絶縁領域上方に設ける部分の厚さが一層厚いことを特徴とするトランジスタ。

7. 上記第6項に於いて、前記電極がN導電型のドーパしたポリシリコンを有することを特徴とするトランジスタ。

8. 上記第1項乃至第7項の内の何れか1項に於いて、前記第1絶縁領域及び第2絶縁領域と前記半導体物質層との間にガラスを形成してあることを特徴とするトランジスタ。

9. 上記第8項に於いて、前記ガラス層が不純物を有することを特徴とするトランジスタ。

10. 上記第8項又は第9項に於いて、前記ガラスがP、O<sub>2</sub>を有することを特徴とするトランジスタ。

11. 上記第1項乃至第10項の内の何れか1項に於いて、前記第1離隔領域と前記半導体物質層との間及び前記第2離隔領域と前記半導体物質層との間に導電性物質層が形成されていることを特徴とするトランジスタ。

12. 上記第11項に於いて、前記導電性物質層の上にポリシリコン層が形成されていることを特徴とするトランジスタ。

13. 上記第11項又は第12項に於いて、前記導電性物質がタンタルを有することを特徴とするトランジスタ。

14. 上記第9項乃至第13項の内の何れか1項に於いて、前記ガラス層が前記半導体物質層の選択領域をドーブする為の不純物を有することを特徴とするトランジスタ。

も前記中間領域の上に位置させて導電性領域を形成する、上記各工程を有することを特徴とする方法。

18. 上記第17項に於いて、半導体物質層を付着形成する前に前記第1離隔領域及び第2離隔領域の上に絶縁物質からなる第3層を形成することを特徴とする方法。

19. 上記第18項に於いて、前記絶縁物質からなる第3層が反対導電型不純物を有することを特徴とする方法。

20. 上記第18項又は第19項に於いて、前記絶縁物質からなる第3層がP、O<sub>2</sub>を有することを特徴とする方法。

21. 上記第17項乃至第20項の内の何れか1項に於いて、前記絶縁物質からなる第1層を形成する工程に於いて、前記半導体基板を酸化する

22. 上記第17項乃至第21項の内の何れか1項に於いて、前記絶縁物質からなる第2層を形成する工程に於いて、前記半導体物質層を酸化さ

15. 上記第14項に於いて、前記半導体物質層の前記測定領域は前記基板の前記中間領域上に設けられた半導体物質層の部分の有するものではないことを特徴とするトランジスタ。

16. 上記第8項乃至第15項の内の何れか1項に於いて、前記半導体物質層が前記基板上に位置した部分が単結晶であり且つ前記少なくとも1層の上に位置した部分が多結晶であるシリコンを有することを特徴とするトランジスタ。

17. 集積回路トランジスタの製造方法に於いて、半導体基板の中間領域によって分離されている半導体基板の第1離隔領域及び第2離隔領域の上に絶縁物質からなる第1層を形成し、前記絶縁物質層及び中間領域の上に半導体物質層を付着形成し、前記中間領域の上に位置した前記半導体物質層の部分内に第1導電型不純物を導入すると共に前記半導体物質層の前記絶縁物質層の上に位置した部分内に反対導電型不純物を導入し、前記半導体物質層の上に絶縁物質からなる第2層を形成し、前記絶縁物質からなる第2層の内であらうと

せることを特徴とする方法。

23. 上記第22項に於いて、前記半導体物質層が前記基板の中間領域の上に於けるよりも前記第1離隔領域及び第2離隔領域の上に於いて一層薄く酸化することを特徴とする方法。

24. 上記第18項乃至第23項の内の何れか1項に於いて、前記導電性領域を形成する工程に於いて、ポリシリコン層を付着形成し、前記ポリシリコン層内に不純物を導入し、前記ポリシリコン層の不要領域を除去する、上記各工程を有することを特徴とする方法。

25. 上記第17項乃至第24項の内の何れか1項に於いて、前記絶縁物質からなる第1層を形成した後に前記絶縁物質からなる第1層の上に導電性層を付着形成させることを特徴とする方法。

26. 上記第25項に於いて、前記導電性層を付着形成した後にポリシリコン層を付着形成することを特徴とする方法。

27. 集積回路トランジスタの製造方法に於いて、半導体基板上に少なくとも1個の選択領域で被

層形成され酸化された半導体物質からなる第1絶縁領域及び第2絶縁領域を形成し、前記基板及び前記少なくとも1個の選択層の上に半導体物質層を付着形成して前記少なくとも1個の選択層上にポリシリコン半導体物質領域を形成すると共に前記基板上に単結晶半導体物質領域を形成し、前記半導体物質層を酸化し、前記半導体物質の酸化層の中で少なくとも前記単結晶半導体物質上に形成された部分の上に導電性領域を形成する、上記各工程を有することを特徴とする方法。

28. 上記第27項に於いて、前記少なくとも1個の選択層が不純物ドーパント層としての第1層を有することを特徴とする方法。

29. 上記第28項に於いて、前記第1層が半導体物質からなる上層に存在する層に対し、不純物ドーパントを供給することを特徴とする方法。

30. 上記第29項に於いて、前記少なくとも1個の選択層が前記第1層の下側に於いて導電性物質から構成された第2層を有することを特徴とする方法。

ンスタに於いては種々の欠点が存在している。典型的には、この様な従来のトランスタは、ソースと基板との間及びドレインと基板との間に高容量を有するものである。尚、本明細書に於いては、この容量をソース・ドレイン対基板容量と呼ぶ。更に、この様な従来技術に於いては、ソースとドレインとの間のパンチスルー電圧は低いものである。基板の不純物濃度を低下させることによってソース・ドレイン対基板容量を減少させることが可能ではあるが、不純物濃度を減少させるとパンチスルー電圧を減少させる傾向となる。エンハンスメント型の電界効果型トランスタのチャンネルの長さが1 $\mu$ m以下に減少されると、ソース領域とドレイン領域の空乏層の幅は略同じ大きさとなるのでこれら両方のパラメータは急激に劣化する。

従来技術の電界効果型トランスタの製造方法に於いても種々の好ましくない結果をもたらすものである。例えば、従来のシリコンゲート型電界効果型トランスタ製造方法に於いては、ポリシ

### 3. 発明の詳細な説明

本発明は、集積回路に関するものであって、更に詳細には、容量が極めて小さく且つ小型の電界効果型トランスタ及びその製造方法に関するものである。

多くの異なるタイプの電界効果型トランスタ(FET)及びその製造方法が公知である。従来の電界効果型トランスタに於いては、互いに離隔されたソース領域及びドレイン領域を下側に存在する半導体基板内に形成する。次いで、通常ゲート酸化物として呼称される比較的薄い二酸化シリコン層を基板表面上で且つソース領域とドレイン領域との間に形成する。ゲート酸化物の上に、導電性物質から構成されるゲート電極を付着形成させる。このゲート電極は、通常、金属又はドーパしたポリシリコンから形成される。エンハンスメント型の電界効果型トランスタに於いては、ソース領域とドレイン領域との間にイオン注入又はその他の方法によってチャンネルを形成させる。しかしながら、この様な従来の電界効果型トラ

リコンゲート電極を付着形成する。次いで、ゲート電極それ自身をマスクとして機能させ、不純物を導入してソース領域及びドレイン領域を画定する。ソース領域及びドレイン領域はゲート端部を回り込んで拡散する傾向があるので、この薄いゲート酸化物を介して好ましくないゲート対ソース容量及びゲート対ドレイン容量が形成される。メモリアレイが大型化するに伴い、これらの容量がもたらす悪影響は一層深刻なものとなる。

更に、従来のシリコンゲート型電界効果型トランスタのアレイに於いては、ゲート電極の下に一樣に薄い絶縁層を形成することは困難である。その理由は、シリコン基板の周辺領域が酸化される場合にポリシリコンゲートの端部が持ち上げられるということに1部原因を有している。この様に端部が持ち上げられると、アレイ内の個々のトランスタのターンオン電圧にばらつきを発生させ、従ってアレイの性能を低下させることとなる。

本発明は、以上の点に鑑み成されたものであって、改良した電界効果型トランスタ及びその製

造方法を提供することを目的とする。

本発明の1特徴に拠れば、改良したトランジスタを提供するものであって、前記トランジスタが、半導体基板を有し、前記基板からなる中間領域によって互いに分離されており前記基板上に設けられた絶縁物質から形成された第1絶縁領域及び第2絶縁領域を有しており、前記第1絶縁領域及び第2絶縁領域と前記半導体基板からなる中間領域との上に設けられた半導体物質層を有しており、前記半導体物質層の表面に設けられた絶縁物質層を有しており、前記絶縁物質層の内少なくとも前記半導体基板からなる中間領域の上に位置させて設けた電極を有するものである。

本発明の別の特徴によれば、集積回路トランジスタを製造する方法を提供するものであって、前記方法が、半導体基板からなる中間領域によって分離されており半導体基板からなる第1絶縁領域及び第2絶縁領域の上に絶縁物質からなる第1層を形成し、前記絶縁物質層と前記中間領域との上に選択導電型の半導体物質層を付着形成し、前記

絶縁物質層の上に設けた前記半導体物質層内へ反対導電型不純物を導入し、前記半導体物質層の上に絶縁物質からなる第2層を形成し、前記絶縁物質からなる第2層の内少なくとも前記中間領域の上方に位置した部分の上に導電性領域を形成する、上記各工程を有するものである。

以下、添付の図面を参照に、本発明の具体的実施の態様について詳細に説明する。第1図に示した集積回路の構造は公知の技術を使用して形成することが可能なものである。第1図に示した如く、例えば $5 \times 10^{16}$ 原子数/ $\alpha$ のボロンをドーブしたP導電型の半導体基板10の上に二酸化シリコン層12を形成する。好適実施例に於いては、二酸化シリコン層12は約3,000Åの厚さを有し、熱酸化の様な公知の技術を使用して形成される。例えばその1例として、基板10を酸素雰囲気中に於いて90分間1,000℃の温度へ加熱する。二酸化シリコン層12を形成した後に、二酸化シリコン層12の上表面上に五酸化二磷( $P_2O_5$ )ガラスの比較的薄い層15を形成する。好適実施

例に於いては、例ガラス層15は100Åの厚さで、CVD技術によって形成する。この様なプロセスに於いては、ホスフィン及び酸素をウェハの上に流通させて、その表面上に五酸化二磷の層を形成させる。層の加熱工程に於いて、例えば30分間1,000℃で加熱する場合に、下部に存在する二酸化シリコン12は多少溶解して、二酸化シリコン層12の上部約1,000Åの部分をもイオンでドーブさせる。次いで、その結果得られる構造に対し第2図乃至第7図に關し説明する如き処理を行なう。

一方、第2図乃至第7図に關し説明する本発明方法の出発物質として第14図に示した構造のものを使用することが可能である。第14図に示した如く、基板10及び二酸化シリコン層12は第1図に關し説明したものと同様な方法で形成する。しかしながら、二酸化シリコン層12の上表面上には、約500Åの厚さのタンタル層16が形成されている。タンタル層16は真空中に於けるスパッタリング又はその他公知の方法を使用すること

によって形成することが可能である。タンタル層16の上表面上には、比較的薄いポリシリコン層17を約1,000Åの厚さに例えばCVD技術を使用して付着形成させる。次いで、ポリシリコン層17をN導電型不純物で高度にドーブさせる。例えば、好適実施例に於いてはポリシリコン層17のドーピング濃度を $10^{20}$ 原子数/ $\alpha$ とする。この場合に、公知の蒸気又はイオン注入技術を使用することが可能である。尚、タンタル層-ポリシリコン層を形成する別の技術としては、CVD技術を使用して、タンタル16を付着させ、ポリシリコン17を付着させ、且つシリコン層17をドーブさせる操作を全て同一の操作で行なうことである。

次いで、第1図又は第14図の例れかに示した構造から第2図以降に關し説明する処理を施す。第2図乃至第7図は、第1図に示したものを使用して同様の処理を行なう場合を例示している。第2図に示した如く、例ガラス層15及び二酸化シリコン層12を介して開口20を形成する。開口

20は、公知のホトリソグラフィ集積回路製造技術を使用することによって形成することが可能であり、例えば第1マスクを形成し、次いで化学溶液又はプラズマを使用することによってエッチングを行なう。この様な技術の1例としては、図12及び15をCF<sub>4</sub>を使用したプラズマエッチングによってエッチング除去する。一方、第18図に示したものをを使用した場合には、第1マスクを形成し、次いで図17を貫通する開口をCCl<sub>4</sub>、プラズマを使用して形成する。次いで、図18及び12をCF<sub>4</sub>、プラズマを使用してエッチングさせる。

次に、第3図に示した如く、第2図に示した構造体の上表面上にエピタキシャルシリコン層21を付着形成させる。好適実施例に於いては、エピタキシャルシリコン層21を低圧プロセスを使用して約5,000Åの厚さに付着形成させ、その際に図15内に存在するドーパントが後にトランジスタのチャンネル24となるべき部分に拡散されることを防止する。エピタキシャルシリコン21が

N導電型不純物は単結晶シリコン24内に於けるよりも約4倍の速さで拡散するので、領域24の実効幅は発生することのある横方向拡散によって僅かに減少されるに過ぎない。

次いで、第2マスク及び公知のホトリソグラフィ技術を使用して、N型にドーパした領域27及び28の外側横方向境界（第6図参照）を固定する。これらの境界の外側に於いては、公知の化学エッチング、プラズマエッチング、その他の技術を使用することによってエピタキシャル層21が除去される。

次いで、第4図に示した如く、エピタキシャル層21の上表面上に二酸化シリコン層25を形成する。好適実施例に於いては、酸素雰囲気中に於いて約800℃の温度で4時間加熱することによって、エピタキシャル層21のP導電型部分の上表面に約300Åの厚さの二酸化シリコンを形成すると共に、エピタキシャル層21のN導電型部分の上表面上に約1,000Åの厚さの二酸化シリコン層を形成する。N導電型及びP導電型にドーパした

基板10の上表面と接触する領域24に於いては、単結晶シリコンが形成される。一方、エピタキシャルシリコン21が鋼ガラス15の上に形成される領域27及び28に於いてはポリシリコン（多結晶シリコン）が形成される。次いで、層21の領域24を適宜のレベルヘドープさせる。例えば、イオン注入を使用して、 $5 \times 10^{16}$  ボロン原子数/αの濃度ヘドープさせる。

次いで、第3図に示した構造を加熱して、鋼ガラス15からエピタキシャル層21の領域27及び領域28内へ銅を拡散させる。好適実施例に於いて、この場合に構造体を900℃の温度に約40分間加熱させる。その結果得られるN導電型の抵抗値は10Ω/□である。尚、図示例に於いて領域27及び28を形成する場合に $5 \times 10^{18}$ 乃至 $10^{20}$  原子数/αの濃の不純物濃度が好適であることが分った。エピタキシャル層21の領域24は鋼ガラス層15の上に設けられていないので、領域20内へ拡散すべきN導電型不純物源が存在しない。更に、ポリシリコン層21内に於いては

領域に於いて二酸化シリコンを形成する場合の速度が異なるということは公知の現象であって、その詳細に付いては、C. P. Ho等の著稿による“高度にドーパしたシリコンの熱酸化 (Thermal Oxidation of Heavily Doped Silicon)” ジャーナル・オブ・エレクトロケミカル・ソサエティ125, 665 (1978)の文献に記載されている。

次いで、二酸化シリコン層25の上表面上にポリシリコン層30を形成する。ポリシリコン層30を付着形成する場合に、N導電型にドーパしたポリシリコンを付着させるか、又は先ず比較的純粋なポリシリコンを付着させ次いで適宜の不純物、例えば砒素又は銅等でドーパすることによって形成することが可能である。好適実施例に於いては、ポリシリコン層30の不純物濃度は約 $10^{20}$  原子数/αである。次いで、公知のホトリソグラフィ技術及びエッチング技術を使用してポリシリコン層30の不要部分を除去し、第5図に示した如くゲート電極を固定する。

第5図乃至第7図に示した如く、上述した如きプロセスの結果としてエンハンスメント型の電界効果型トランジスタが得られる。この場合に、ソース領域、ドレイン領域、ゲート酸化膜、ゲート酸化膜を囲繞する酸化物の全てが自己整合されている。本発明方法によればゲート電極の端部が持ち上げられることを排除することが可能である。第5図乃至第7図には図示していないが、適宜の箇所に二酸化シリコン層25を貫通する開口を形成することによってソース領域及びドレイン領域への電気的接続を形成する。

出発物質として第14図に示したものを使用する場合の別の実施例に於いては、ソース領域及びドレイン領域の下側に於けるタンタル層17がソース領域及びドレイン領域への極めて低い抵抗を有する電気的接続体として機能する。この場合の実施例は、図示した電界効果型トランジスタを半導体メモリに使用する場合に特に有益なものである。この様な適用例に於いて、タンタル層17はビット線又はワード線として機能し、一方その位

の両側に形成される線はワード線又はビット線として夫々機能する。第5図乃至第7図に示した構造を有するトランジスタは、電界効果型トランジスタとして極めて有益なものである。何故ならば、比較的少ない数のマスキング工程を使用することによって製造することが可能であり、ソース又はドレインと基板との間に於ける容量が著しく低いものだからである。この様に低容量であるということは、二酸化シリコン層12がソース領域及びドレイン領域を基板10から分離させているということから得られるものである。更に、図示した如く本発明の構成に於いては完全に自己整合が行なわれており、即ちゲート領域20が1度固定されると、ソース領域、ドレイン領域及びゲートを取りまく一層厚い酸化物はマスキング用公差を設けることなしにゲート領域の各側部に於いて“自動的に”形成されるものである。

第6図は第5図に示した構造の平面を示したものである。図示化の為に、領域の境界が整合されて形成される箇所に於いて、図示されている領域

の範囲を表わす為に境界を多少ずらして示してある。例えば、ソース/ドレインとチャンネルとの合致する端部は多少ずらして示してあり、そうすることによりこれらの領域の境界を表示している。ゲート電極30は、ソース領域とドレイン領域とを分離させているチャンネル24に完全に重畳するものである。何故ならば、チャンネルは、通常、ソース及びドレインへの何れのコンタクトよりも幅広であり、図示した如く、ソース及びドレインはチャンネルから遠ざかるに従いその幅を減少させることが可能である。

第7図は、第5図及び第6図に示した構造の断面を示しており、ゲート電極30がチャンネル24に重畳している状態を示している。ゲート酸化膜はゲート30をチャンネル24から分離しており、一方酸化膜12及びガラス層15はゲート30を基板10から分離させている。

以上、本発明の具体的な構成について詳細に説明したが、本発明はこれら具体例に限定されるべきものではなく、本発明の技術的範囲を逸脱するこ

となしに種々の変形が可能であることは勿論である。例えば、種々の領域に於ける導電型は上述したものに限らず変更させることが可能である。

#### 4. 図面の簡単な説明

第1図は公知の技術を使用して製造することが可能であり本発明方法の出発物質として使用する集積回路装置の断面図、第14図は本発明トランジスタを製造する為に出発物質として使用することが可能な別の実施例を示した断面図、第2図は第1図の構成に於いてゲート領域を固定した後の状態を示した断面図、第3図は第2図の構成に於いてエピタキシャルシリコンを付着形成しそのシリコンにドーピングを行なった後の状態を示した断面図、第4図はゲート酸化膜を形成した後の状態を示した断面図、第5図はゲート電極を形成した後の状態を示した断面図、第6図は第5図に示した構造の平面を示した平面図、第7図は第6図に示した構造の縦断面を示した断面図、である。



(符号の説明)

- 10: 半導体基板  
12: 二酸化シリコン層  
15: 燐ガラス(P<sub>2</sub>O<sub>5</sub>)層  
16: タンタル層  
17: ポリシリコン層  
21: エピタキシャルシリコン層  
25: 二酸化シリコン層  
30: ポリシリコン層

特許出願人 フェアチャイルド カメラ  
アンド インストルメント  
コーポレーション

代理人 小 橋 一 男

同 小 橋 正 明

男小橋  
正明  
一男



FIG. 1

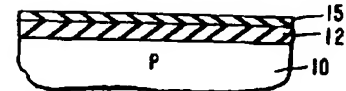


FIG. 1a

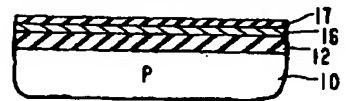


FIG. 2

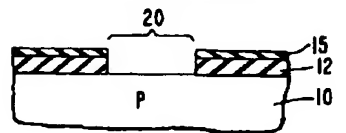


FIG. 3

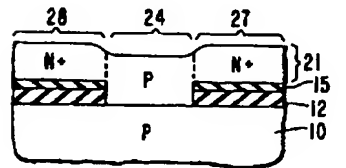


FIG. 4

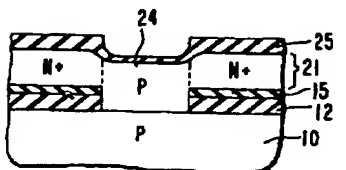


FIG. 5

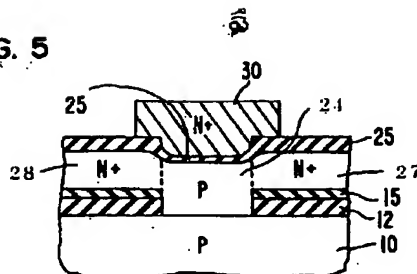


FIG. 6

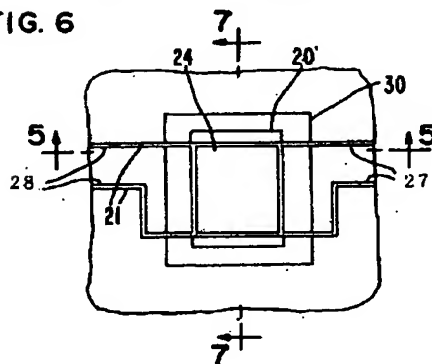
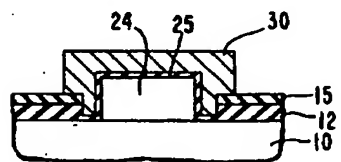


FIG. 7



手続補正書

昭和57年11月24日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示 昭和57年 特 許 願 第 182233 号

2. 発明の名称 低容量電界効果型トランジスタ

3. 補正をする者

事件との関係 特許出願人

住所 アメリカ合衆国、カリフォルニア 94042,

マウンテン ビュー、エリス ストリート 484

名称 フェアチャイルド カメラ アンド インストルメント  
コーポレーション

4. 代 理 人

住所 東京都港区虎ノ門5丁目3番20号

仙石山アネックス 311号室 (電話438-0858)

小 橋 田 原 特 許 事 務 所

氏名 (5779) 弁護士 小 橋 一 男 男小橋  
(外1名) 正明

5. 補正命令の日付 自 発

6. 補正により増加する発明の数 な し

7. 補正の対象 発 任 状 図 面

8. 補正の内容 別紙の通り

**THIS PAGE BLANK (USPTO)**